

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-181558

(43)Date of publication of application : 30.06.2000

(51)Int.Cl.

G05F 3/26

(21)Application number : 10-360339

(71)Applicant : NEC CORP

NEC IC MICROCOMPUT SYST LTD

(22)Date of filing : 18.12.1998

(72)Inventor : IKEGAMI MASAKAZU

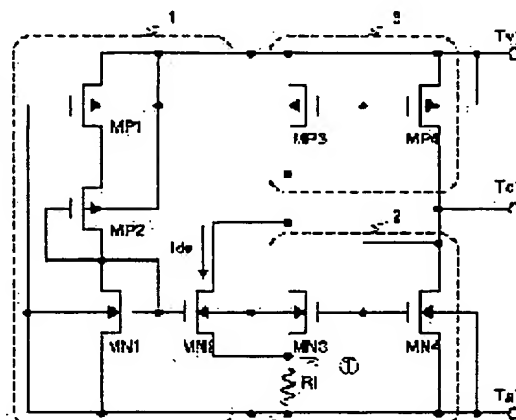
FUJIMOTO KAZUKI

(54) BIAS CIRCUIT AND RESET CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To immediately start a bias circuit without inputting a reset signal from the outside when connecting the circuit with a power source.

SOLUTION: When the power source is connected to a power supply voltage terminal Tv1, a circuit starting part 1 supplies a current for starting a bias voltage generating part 2 and a constant current supply part 3 by fetching a voltage from the power source. The source of a transistor MN2 in the circuit activating part 1 is connected to one terminal of a resistor R1 together with the source of a transistor MN3 in the bias voltage generating part 2. Therefore, when the bias voltage generating part 2 starts generating a bias voltage and the potential of a node (1) is increased, the transistor MN2 is non-conducted and the activation of circuit is completed. A voltage to be generated at an output terminal To1 after the completion of start becomes a fixed value determined by the ratio (dimension) of channel length and channel width of the transistors MN3 and MN4 in the bias voltage generating part 2 and the resistance value of the resistor R1.



LEGAL STATUS

[Date of request for examination] 18.12.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3068580

[Date of registration] 19.05.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-181558
(P 2 0 0 0 - 1 8 1 5 5 8 A)
(43) 公開日 平成12年6月30日(2000.6.30)

(51) Int. Cl. ⁷
G05F 3/26

識別記号

F I
G05F 3/26

テーマコード (参考)
5H420

審査請求 有 請求項の数 5 O L (全10頁)

(21) 出願番号 特願平10-360339
(22) 出願日 平成10年12月18日(1998.12.18)

(71) 出願人 000004237
日本電気株式会社
東京都港区芝五丁目7番1号
(71) 出願人 000232036
日本電気アイシーマイコンシステム株式会社
神奈川県川崎市中原区小杉町1丁目403番3
(72) 発明者 池上 雅一
東京都港区芝五丁目7番1号 日本電気株式会社社内
(74) 代理人 100104916
弁理士 古溝 聡 (外1名)

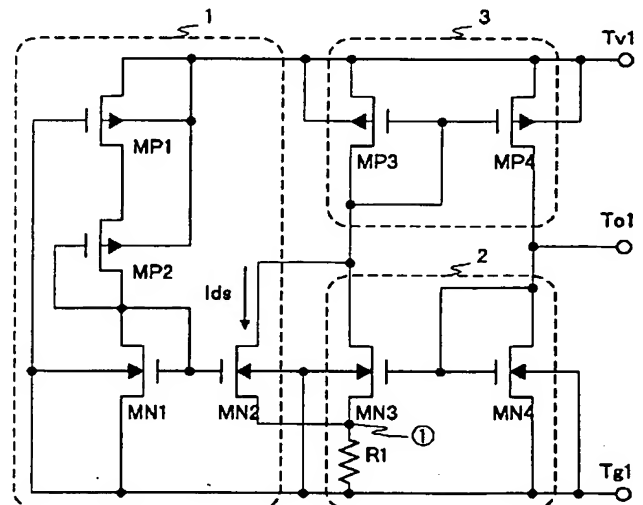
最終頁に続く

(54) 【発明の名称】 バイアス回路及びリセット回路

(57) 【要約】

【課題】 電源接続時に外部からリセット信号を入力することなく直ちに起動する。

【解決手段】 電源電圧端子Tv1に電源が接続されると、回路起動部1は、電源から電圧を取り込んでバイアス電圧生成部2と定電流供給部3を起動するための電流を供給する。回路起動部1のトランジスタMN2のソースは、バイアス電圧生成部2のトランジスタMN3のソースと共に抵抗R1の一端に接続されている。このため、バイアス電圧生成部2がバイアス電圧を生成し始め、接続点①の電位が上昇するとトランジスタMN2は非導通となり回路の起動が完了する。起動が完了した後の出力端子To1に生じる電圧は、バイアス電圧生成部2のトランジスタMN3、MN4におけるチャネル長とチャネル幅の比(ディメンション)及び抵抗R1の抵抗値で決定される一定値となる。



【特許請求の範囲】

【請求項 1】一定の電流を供給する電流供給手段と、前記電流供給手段から電流の供給を受けて一定のバイアス電圧を生成するバイアス電圧生成手段と、電源接続時に電源電圧の供給を受けて前記電流供給手段と前記バイアス電圧生成手段を起動するための電流を供給し、前記バイアス電圧生成手段がバイアス電圧を出力するのに従って電流の供給を停止する起動手段とを備える、ことを特徴とするバイアス回路。

【請求項 2】前記バイアス電圧生成手段は、
10 ソースが抵抗を介して接地された N チャンネル型の第 1 の MOS トランジスタと、
前記第 1 の MOS トランジスタとカレントミラー接続された N チャンネル型の第 2 のトランジスタを含み、
前記定電流供給手段は、
ゲートとドレインが前記第 1 の MOS トランジスタのド
レインに接続された P チャンネル型の第 3 の MOS トラン
ジスタと、
前記第 3 の MOS トランジスタとカレントミラー接続さ
れると共に、ドレインが前記第 1 の MOS トランジスタ
20 及び前記第 2 の MOS トランジスタのゲートと前記第 2
の MOS トランジスタのドレインに接続された P チャン
ネル型の第 4 の MOS トランジスタを含む、ことを特徴と
する請求項 1 に記載のバイアス回路。

【請求項 3】前記起動手段は、
ソースと基板が電源に接続され、ゲートが接地された P
チャンネル型の第 5 の MOS トランジスタと、
ソースが前記第 5 の MOS トランジスタのドレインに接
続され、基板が電源に接続された P チャンネル型の第 6 の
MOS トランジスタと、
30 ゲートとドレインが前記第 6 の MOS トランジスタのゲ
ートとドレインに接続され、ソースと基板が接地された
N チャンネル型の第 7 の MOS トランジスタと、
ゲートが前記第 6 の MOS トランジスタのゲートとドレ
イン及び前記第 7 の MOS トランジスタのゲートとドレ
インに接続され、ソースが前記第 1 のトランジスタのソ
ースと共に抵抗を介して接地され、ドレインが前記定電
流供給手段と前記バイアス電圧生成手段との接続部に接
続された N チャンネル型の第 8 の MOS トランジスタを有
する、ことを特徴とする請求項 2 に記載のバイアス回
路。

【請求項 4】電源から供給される電圧を降下させる電圧
降下手段と、
前記電圧降下手段が降下させた電圧を受けて電流を供給
することによりバイアス回路を起動し、当該バイアス回
路が起動するに従って電流の供給を停止する起動手段と
を備える、ことを特徴とするバイアス回路を起動するた
めのリセット回路。

【請求項 5】前記電圧降下手段は、
ソースと基板が電源に接続され、ゲートが接地された P 50

チャンネル型の第 5 の MOS トランジスタと、
ソースが前記第 3 の MOS トランジスタのドレインに接
続され、基板が電源に接続された P チャンネル型の第 6 の
MOS トランジスタとを含み、

前記起動手段は、

ゲートとドレインが前記第 6 の MOS トランジスタのゲ
ートとドレインに接続され、ソースと基板が接地された
N チャンネル型の第 7 の MOS トランジスタと、
ゲートが前記第 6 の MOS トランジスタのゲートとドレ
イン及び前記第 7 の MOS トランジスタのゲートとドレ
インに接続され、ソースが抵抗を介して接地された N チ
ャンネル型の第 8 の MOS トランジスタを含む、ことを特
徴とする請求項 4 に記載のリセット回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、電源電圧に依存
しない一定電圧を出力するバイアス回路に係り、特に、
外部からリセット信号を与えることなく起動することが
できるバイアス回路に関する。

【0002】

【従来の技術】従来、電源電圧に依存しない一定電圧を
出力するバイアス回路としては、例えば、図 2 に模式的
に示すような回路がある。この従来のバイアス回路は、
N チャンネル形の MOS (Metal Oxide Semiconductor;
金属酸化膜半導体) トランジスタ MN 10 からなるリセ
ット信号入力部 10 と、バイアス電圧生成部 11 と、バ
イアス電圧生成部 11 に一定の電流を供給する定電流供
給部 12 とを備えている。バイアス電圧生成部 11 は、
抵抗 R 10 と N チャンネル形の MOS トランジスタ MN 1
1、MN 12 とを備え、トランジスタ MN 11 とトラン
ジスタ MN 12 とは、ゲート同士が接続されており、い
わゆるカレントミラーを構成している。また、トランジ
スタ MN 11 のソースは抵抗 R 10 を介して共通電位
(接地) 端子 Tg 2 に接続されている。トランジスタ M
N 11 の基板と、トランジスタ MN 12 のソースと基板
は共に共通電位端子 Tg 2 に接続されている。一方、定
電流供給部 12 は、基板とソースが電源電圧端子 Tv 2
に接続され、ゲート同士が接続された 2 つの P チャン
ネル形の MOS トランジスタ MP 10、MP 11 を備え、い
わゆるカレントミラーを構成している。即ち、トランジ
スタ MP 10 のドレインから流出する電流とトランジス
タ MP 11 のドレインから流出する電流は、素子の形状
により決定される一定の比を有する関係にある。そし
て、トランジスタ MP 10、MP 11 のゲートとトラン
ジスタ MP 10 のドレインは、トランジスタ MN 11 の
ドレインに接続されている。また、トランジスタ MP 1
1 のドレインはトランジスタ MN 11、MN 12 のゲ
ートとトランジスタ MN 12 のドレインに接続されてい
ると共に、バイアス電圧を出力する出力端子 To 2 に接
続されている。

【0003】このような構成を有する従来のバイアス回路において、電源電圧端子T_v2に電源を接続して電圧が供給されている状態では、出力端子T_o2に生じる電圧は、トランジスタMN12のゲート・ソース間電圧に等しくなる。また、出力端子T_o2の電圧は、抵抗R10に生じる電圧とトランジスタMN11のゲート・ソース間電圧との和にも等しい。即ち、このバイアス回路の出力電圧は、トランジスタMN11、MN12におけるチャンネル長とチャンネル幅との比（ディメンジョン）と抵抗R10の抵抗値とで決定される一定値となる。このよう

【0004】その他には、例えば、特開平8-166829号公報及び特開平10-198448号公報に開示されている技術がある。

【0005】特開平8-166829号公報に開示されている技術は、バイアス回路の出力側にフィードバック回路を有し、このフィードバック回路内に電源立ち上がり時の起動が容易な負荷定電流源を設けることにより、安定な動作を行うようにしている。

【0006】特開平10-198448号公報に開示されている技術は、バイアス回路を起動するためのスタートアップ部を設け、動作電源電圧投入により、定電流を供給するカレントミラー回路を起動するようにしている。

【0007】

【発明が解決しようとする課題】上記従来技術におけるバイアス回路は、電源接続時にリーク電流等の微小な電流に頼ることなく確実に起動するためには、リセット信号入力端子T_rから、別途このバイアス回路を起動するためのリセット信号を入力する必要があった。

【0008】また、特開平8-166829号公報及び特開平10-198448号公報に開示されている技術は、いずれもバイアス回路が起動を完了した後も、バイアス回路を起動するための回路が動作したままであるので、消費電力が大きくなってしまいう問題がある。

【0009】この発明は、上記実状に鑑みてなされたものであり、外部からリセット信号を入力することなく直ちに起動することができるバイアス回路を提供することを目的とする。また、この発明は、電源接続時に効率よく起動して消費電力を低減するバイアス回路及びそれを起動するためのリセット回路を提供することを他の目的とする。

【0010】

【課題を解決するための手段】この発明の第1の観点に係るバイアス回路は、一定の電流を供給する電流供給手段と、前記電流供給手段から電流の供給を受けて一定の

バイアス電圧を生成するバイアス電圧生成手段と、電源接続時に電源電圧の供給を受けて前記電流供給手段と前記バイアス電圧生成手段を起動するための電流を供給し、前記バイアス電圧生成手段がバイアス電圧を出力するのに従って電流の供給を停止する起動手段とを備える、ことを特徴とする。

【0011】このような構成において、電源が接続されると、起動手段が電源電圧の供給を受けて電流供給手段とバイアス電圧生成手段を起動するための電流を供給することにより、バイアス電圧生成手段を起動することができる。これにより、外部からリセット信号を入力することなく直ちに起動することができる。また、起動手段は、バイアス電圧生成手段がバイアス電圧の出力を開始して動作が安定すると電流の供給を停止する。これにより、消費電力を低減することができる。

【0012】前記バイアス電圧生成手段は、ソースが抵抗を介して接地されたNチャンネル型の第1のMOSトランジスタと、前記第1のMOSトランジスタとカレントミラー接続されたNチャンネル型の第2のトランジスタを含み、前記定電流供給手段は、ゲートとドレインが前記第1のMOSトランジスタのドレインに接続されたPチャンネル型の第3のMOSトランジスタと、前記第3のMOSトランジスタとカレントミラー接続されると共に、ドレインが前記第1のMOSトランジスタ及び前記第2のMOSトランジスタのゲートと前記第2のMOSトランジスタのドレインに接続されたPチャンネル型の第4のMOSトランジスタを含む、ことが望ましい。

【0013】前記起動手段は、ソースと基板が電源に接続され、ゲートが接地されたPチャンネル型の第5のMOSトランジスタと、ソースが前記第5のMOSトランジスタのドレインに接続され、基板が電源に接続されたPチャンネル型の第6のMOSトランジスタと、ゲートとドレインが前記第5のMOSトランジスタのゲートとドレインに接続され、ソースと基板が接地されたNチャンネル型の第7のMOSトランジスタと、ゲートが前記第6のMOSトランジスタのゲートとドレイン及び前記第7のMOSトランジスタのゲートとドレインに接続され、ソースが前記第1のトランジスタのソースと共に抵抗を介して接地され、ドレインが前記定電流供給手段と前記バイアス電圧生成手段との接続部に接続されたNチャンネル型の第8のMOSトランジスタを有する、ことが望ましい。

【0014】また、この発明の第2の観点に係るリセット回路は、電源から供給される電圧を降下させる電圧降下手段と、前記電圧降下手段が降下させた電圧を受けて電流を供給することによりバイアス回路を起動し、当該バイアス回路が起動するに従って電流の供給を停止する起動手段とを備える、バイアス回路を起動するためのものである。

【0015】このような構成を有するリセット回路は、

10

20

30

40

50

電圧降下手段が電源電圧を降下させて起動手段に浅いバイアスをかけることにより、バイアス回路に電流を供給して起動し、バイアス回路の起動により電流の供給を停止することができる。これにより、バイアス回路を起動するための回路の構成が簡単となり、消費電力も抑えることができる。

【0016】また、前記電圧降下手段は、ソースと基板が電源に接続され、ゲートが接地されたPチャネル型の第5のMOSトランジスタと、ソースが前記第5のMOSトランジスタのドレインに接続され、基板が電源に接続されたPチャネル型の第6のMOSトランジスタとを含み、前記起動手段は、ゲートとドレインが前記第6のMOSトランジスタのゲートとドレインに接続され、ソースと基板が接地されたNチャネル型の第7のMOSトランジスタと、ゲートが前記第4のMOSトランジスタのゲートとドレイン及び前記第7のMOSトランジスタのゲートとドレインに接続され、ソースが抵抗を介して接地されたNチャネル型の第8のMOSトランジスタを含んでもよい。

【0017】

【発明の実施の形態】以下に、図面を参照して、この発明の実施の形態に係るバイアス回路について詳細に説明する。

【0018】図1は、この発明の実施の形態に係るバイアス回路の一例を示す模式図である。図示するように、このバイアス回路は、回路起動部1とバイアス電圧生成部2と定電流供給部3とを有している。

【0019】回路起動部1は、電源投入時にバイアス電圧生成部2と定電流供給部3を起動させるための部位であり、トランジスタMP1、MP2、MN1、MN2を備えたりセット回路である。

【0020】トランジスタMP1、MP2は、Pチャネル型のMOS (Metal Oxide Semiconductor; 金属酸化膜半導体) トランジスタであり、電源電圧端子Tv1に接続された電源から供給される電圧を降下するためのものである。

【0021】トランジスタMN1、MN2は、Nチャネル型のMOSトランジスタであり、バイアス電圧生成部2と定電流供給部3を起動するための電流を供給するためのものである。

【0022】トランジスタMP1のソースと基板は、トランジスタMP2の基板と共に電源電圧端子Tv1に接続されている。トランジスタMP1のゲートは、トランジスタMN1のソースと基板とトランジスタMN2の基板と共に共通電位端子Tg1に接続されている。トランジスタMP1のドレインは、トランジスタMP2のソースに接続されている。トランジスタMP2のゲートとドレインは、トランジスタMN1のゲートとドレインとトランジスタMN2のゲートに共通接続されている。トランジスタMN2のドレインは、バイアス電圧生成部2の

トランジスタMN3のドレインに接続されていると共に、定電流供給部3のトランジスタMP3のゲートとドレインとトランジスタMP4のゲートに共通接続されている。また、トランジスタMN2のソースは、バイアス電圧生成部2のトランジスタMN3のソースと共に抵抗R1の一端に接続されている。

【0023】バイアス電圧生成部2は、定電流供給部3から一定の電流を受けて、一定のバイアス電圧を出力するためのものであり、抵抗R1と、トランジスタMN3、MN4とを備えている。

【0024】トランジスタMN3、MN4は、Nチャネル型のMOSトランジスタである。

【0025】抵抗R1は、一端がトランジスタMN2のソースとトランジスタMN3のソースに接続されていると共に、他の一端が共通電位端子Tg1に接続されている。トランジスタMN3の基板は、トランジスタMN4のソースと基板と共に共通電位端子Tg1に接続されている。トランジスタMN3のゲートとトランジスタMN4のゲートは、互いに接続されていると共に、トランジスタMN4のドレインと定電流供給部3のトランジスタMP4のドレインと出力端子To1に共通接続されている。

【0026】定電流供給部3は、バイアス電圧生成部2に一定の電流を供給するためのカレントミラー回路であり、トランジスタMP3、MP4を備えている。

【0027】トランジスタMP3、MP4は、Pチャネル型のMOSトランジスタである。トランジスタMP3のソースと基板とトランジスタMP4のソースと基板は、共に電源電圧端子Tv1に接続されている。

【0028】次に、上記構成を有するバイアス回路の動作を説明する。このバイアス回路は、電源接続時に外部からリセット信号を入力することなく起動して、一定のバイアス電圧を出力できるようにしたバイアス回路である。

【0029】電源電圧端子Tv1に電源を接続して電圧が供給された直後は、トランジスタMP3、MP4、MN3、MN4がいずれも遮断状態にある。即ち、バイアス電圧生成部2は動作を停止しており、出力端子To1にはバイアス電圧が出力されていない。

【0030】電圧の供給を受けて、まず、トランジスタMP1とトランジスタMP2が導通する。トランジスタMP1とトランジスタMP2が導通することにより、トランジスタMN1とトランジスタMN2のゲート電圧が上昇し、トランジスタMN1とトランジスタMN2が導通する。トランジスタMN2が導通すると、トランジスタMN2にドレイン電流Idsが流れることによりトランジスタMP3が導通する。トランジスタMP3が導通すると、トランジスタMP4は、カレントミラーであることにより、トランジスタMP3のドレイン電流に対して一定の比率を持ったドレイン電流を流す。トランジ

タMP 4が導通するのに応じてトランジスタMN 3、MN 4のゲート電圧が上昇し、トランジスタMN 4が導通する。さらに、カレントミラーであることにより、トランジスタMN 3も導通してトランジスタMN 4のドレイン電流に対して一定の比率を持ったドレイン電流が流れる。

【0031】トランジスタMN 3が導通すると、トランジスタMN 3を流れるドレイン電流は全て抵抗R 1に流入し、電流量の増大と共にトランジスタMN 2、MN 3のソースと抵抗R 1との接続点①における電位が上昇する。

【0032】トランジスタMN 2のゲートには電源電圧端子T v 1から供給された電圧をトランジスタMP 1、MP 2のソース・ドレイン間で降下したものが印加され、トランジスタMN 2は、浅いバイアスがかけられている。このため、接続点①における電位が上昇することによりトランジスタMN 2は非導通となり、トランジスタMN 2のドレイン電流I d sは零となる。即ち、回路起動部1は、バイアス電圧生成部2が起動するに従って動作を停止する。これにより、このバイアス電圧生成部2の起動が完了して動作が安定する。

【0033】出力端子T o 1には、トランジスタMN 4のゲート・ソース間電圧と等しい電圧が出力される。また、この出力端子T o 1に生じる電圧は、抵抗R 1に生じる電圧とトランジスタMN 3のゲート・ソース間電圧との和にも等しい。即ち、このバイアス回路の出力電圧は、電源から供給される電圧によらず、トランジスタMN 3、MN 4におけるチャネル長とチャネル幅との比（ディメンジョン）と抵抗R 1の抵抗値とで決定される一定値となる。

【0034】以上の説明のように、このバイアス回路によれば、電源電圧が供給されると、回路起動部1が電源電圧によりバイアス電圧生成部2と定電流供給部3を起動するための電流を供給し、バイアス電圧生成部2の起動に従って回路起動部1からの電流の供給を停止することができる。これにより、電源接続時に外部からのリセット信号なしに起動して、回路固有の一定電圧を出力することができる。従って、このバイアス回路を起動するためのリセット信号を作成するための回路を別途用意する必要がなくなり、動作中に電源が切断された場合でも、電源を再び接続すると自発的に直ちに再起動することができる。また、回路起動部1は、バイアス電圧生成

部2が起動するに従って動作を停止するので、消費電力を低減することができる。

【0035】この発明は、上記実施の形態に限定されず、様々な変形及び応用が可能である。例えば、定電流供給部3は、上記のカレントミラー接続されたPチャネル型のMOSトランジスタMN 3、MN 4によるものに限らず、一定の電流を供給できる任意の回路を採用することができ、構成も任意に変更可能である。また、バイアス電圧生成部2も、例えば、バイポーラトランジスタのバンドギャップ電圧を利用した回路といった、バイアス電圧を生成するための任意の回路を採用することができる。

【0036】

【発明の効果】以上の説明のように、この発明は、バイアス回路を起動するための信号を外部から入力することなしに電源電圧の供給を受けて起動する。これにより、回路の構成が簡単となり、回路の起動が容易になる。

【0037】また、この発明は、バイアス回路が起動するに従って動作を停止するリセット回路を備えている。これにより、消費電力を低減することができる。

【図面の簡単な説明】

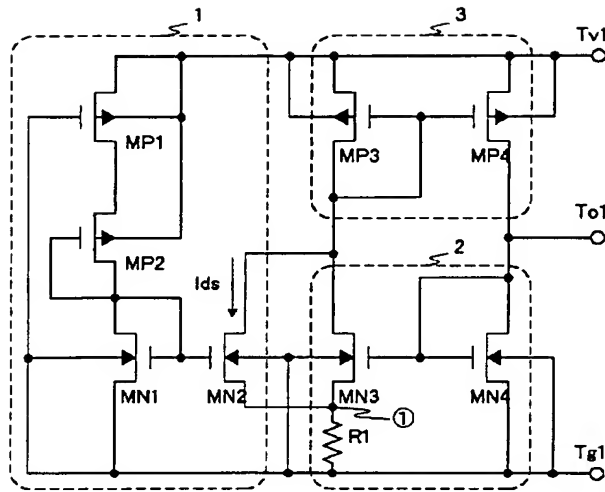
【図1】この発明の実施の形態にかかるバイアス回路の構成を模式的に示す図である。

【図2】従来のバイアス回路の構成を模式的に示す図である。

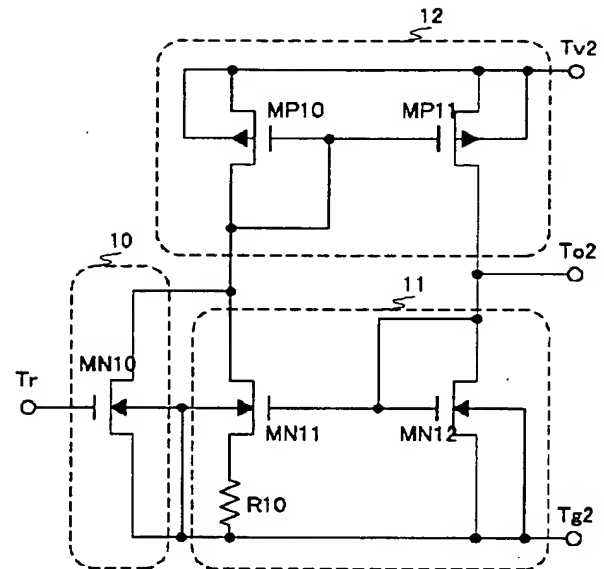
【符号の説明】

| | |
|-------------------------|-----------------|
| 1 | 回路起動部 |
| 2, 11 | バイアス電圧生成部 |
| 3, 12 | 定電流供給部 |
| 10 | リセット信号入力部 |
| R 1, R 10 | 抵抗 |
| MN 1～MN 4, MN 10～MN 12 | Nチャネル型MOSトランジスタ |
| MP 1～MP 4, MP 10, MP 11 | Pチャネル型MOSトランジスタ |
| T r | リセット信号入力端子 |
| T v 1, T v 2 | 電源電圧端子 |
| T g 1, T g 2 | 共通電位端子 |
| T o 1, T o 2 | 出力端子 |

【図 1】



【図 2】



【手続補正書】

【提出日】平成 11 年 11 月 1 日 (1999. 11.

1)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項 1】一定の電流を供給する定電流供給手段と、前記定電流供給手段から電流の供給を受けて一定のバイアス電圧を生成するバイアス電圧生成手段と、電源接続時に電源電圧の供給を受けて前記定電流供給手段と前記バイアス電圧生成手段を起動するための電流を供給し、前記バイアス電圧生成手段がバイアス電圧を出力するのに従って電流の供給を停止する起動手段とを備える、ことを特徴とするバイアス回路。

【請求項 2】一定の電流を供給する定電流供給手段と、前記定電流供給手段から電流の供給を受けて一定のバイアス電圧を生成するバイアス電圧生成手段と、電源接続時に電源電圧の供給を受けて前記定電流供給手段と前記バイアス電圧生成手段を起動するための電流を供給し、前記バイアス電圧生成手段がバイアス電圧を出力するのに従って動作を停止する起動手段とを備える、ことを特徴とするバイアス回路。

【請求項 3】前記バイアス電圧生成手段は、ソースが抵抗を介して接地された N チャネル型の第 1 の MOS トランジスタと、

前記第 1 の MOS トランジスタとカレントミラー接続された N チャネル型の第 2 のトランジスタを含み、前記定電流供給手段は、ゲートとドレインが前記第 1 の MOS トランジスタのドレインに接続された P チャネル型の第 3 の MOS トランジスタと、前記第 3 の MOS トランジスタとカレントミラー接続されると共に、ドレインが前記第 1 の MOS トランジスタ及び前記第 2 の MOS トランジスタのゲートと前記第 2 の MOS トランジスタのドレインに接続された P チャネル型の第 4 の MOS トランジスタを含む、ことを特徴とする請求項 1 又は 2 に記載のバイアス回路。

【請求項 4】前記起動手段は、ソースと基板が電源に接続され、ゲートが接地された P チャネル型の第 5 の MOS トランジスタと、ソースが前記第 5 の MOS トランジスタのドレインに接続され、基板が電源に接続された P チャネル型の第 6 の MOS トランジスタと、ゲートとドレインが前記第 6 の MOS トランジスタのゲートとドレインに接続され、ソースと基板が接地された N チャネル型の第 7 の MOS トランジスタと、ゲートが前記第 6 の MOS トランジスタのゲートとドレイン及び前記第 7 の MOS トランジスタのゲートとドレインに接続され、ソースが前記第 1 のトランジスタのソースと共に抵抗を介して接地され、ドレインが前記定電流供給手段と前記バイアス電圧生成手段との接続部に接続された N チャネル型の第 8 の MOS トランジスタを有

する、ことを特徴とする請求項3に記載のバイアス回路。

【請求項5】前記起動手段は、前記バイアス電圧生成手段が起動して、バイアス電圧が所定値に達すると、電流の供給を停止する、ことを特徴とする請求項1乃至4のいずれか1項に記載のバイアス回路。

【請求項6】前記バイアス電圧生成手段は、カレントミラー回路を備え、
前記起動手段は、前記バイアス電圧生成手段が起動して、前記カレントミラー回路の所定点を流れる電流が所定値に達すると、電流の供給を停止する、ことを特徴とする請求項1乃至5のいずれか1項に記載のバイアス回路。

【請求項7】電源から供給される電圧を降下させる電圧降下手段と、
前記電圧降下手段が降下させた電圧を受けて電流を供給することによりバイアス回路を起動し、当該バイアス回路が起動するに従って電流の供給を停止する起動手段とを備える、ことを特徴とするバイアス回路を起動するためのリセット回路。

【請求項8】前記電圧降下手段は、
ソースと基板が電源に接続され、ゲートが接地されたPチャネル型の第5のMOSトランジスタと、
ソースが前記第3のMOSトランジスタのドレインに接続され、基板が電源に接続されたPチャネル型の第6のMOSトランジスタとを含み、
前記起動手段は、
ゲートとドレインが前記第6のMOSトランジスタのゲートとドレインに接続され、ソースと基板が接地されたNチャネル型の第7のMOSトランジスタと、
ゲートが前記第6のMOSトランジスタのゲートとドレイン及び前記第7のMOSトランジスタのゲートとドレインに接続され、ソースが抵抗を介して接地されたNチャネル型の第8のMOSトランジスタを含む、ことを特徴とする請求項7に記載のリセット回路。

【請求項9】一定の電流を供給する定電流供給手段と、
前記定電流供給手段から電流の供給を受けてバイアス電圧を生成するバイアス電圧生成手段と、
電源接続時に電源電圧の供給を受けて前記定電流供給手段と前記バイアス電圧生成手段とを起動するための電流を供給し、前記バイアス電圧生成手段が出力するバイアス電圧が所定値に達すると、電流の供給を停止する起動手段とを備える、ことを特徴とするバイアス回路。

【請求項10】一定電流の供給を受けてバイアス電圧を生成するバイアス電圧生成手段と、
電源接続時に電源電圧の供給を受けて、前記バイアス電圧生成手段を起動するための電流を供給し、前記バイアス電圧生成手段がバイアス電圧を出力するのに従って電流の供給を停止する起動手段とを備える、ことを特徴とするバイアス回路。

【請求項11】前記起動手段は、前記バイアス電圧生成手段が出力するバイアス電圧が所定値に達すると、電流の供給を停止する、ことを特徴とする請求項10に記載のバイアス回路。

【請求項12】前記バイアス電圧生成手段は、カレントミラー回路を備え、
前記起動手段は、前記カレントミラー回路の所定点を流れる電流が所定値に達すると、電流の供給を停止する、ことを特徴とする請求項9、10、又は11に記載のバイアス回路。

【請求項13】前記バイアス電圧生成手段は、
ソースが抵抗を介して接地されたNチャネル型の第1のMOSトランジスタと、
前記第1のMOSトランジスタとカレントミラー接続されたNチャネル型の第2のトランジスタを含み、
前記定電流供給手段は、
ゲートとドレインが前記第1のMOSトランジスタのドレインに接続されたPチャネル型の第3のMOSトランジスタと、
前記第3のMOSトランジスタとカレントミラー接続されると共に、ドレインが前記第1のMOSトランジスタ及び前記第2のMOSトランジスタのゲートと前記第2のMOSトランジスタのドレインに接続されたPチャネル型の第4のMOSトランジスタを含む、ことを特徴とする請求項9乃至12のいずれか1項に記載のバイアス回路。

【請求項14】前記起動手段は、
ソースと基板が電源に接続され、ゲートが接地されたPチャネル型の第5のMOSトランジスタと、
ソースが前記第5のMOSトランジスタのドレインに接続され、基板が電源に接続されたPチャネル型の第6のMOSトランジスタと、
ゲートとドレインが前記第6のMOSトランジスタのゲートとドレインに接続され、ソースと基板が接地されたNチャネル型の第7のMOSトランジスタと、
ゲートが前記第6のMOSトランジスタのゲートとドレイン及び前記第7のMOSトランジスタのゲートとドレインに接続され、ソースが前記第1のトランジスタのソースと共に抵抗を介して接地され、ドレインが前記定電流供給手段と前記バイアス電圧生成手段との接続部に接続されたNチャネル型の第8のMOSトランジスタを有する、ことを特徴とする請求項13に記載のバイアス回路。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正内容】

【0010】

【課題を解決するための手段】この発明の第1の観点に

係るバイアス回路は、一定の電流を供給する定電流供給手段と、前記定電流供給手段から電流の供給を受けて一定のバイアス電圧を生成するバイアス電圧生成手段と、電源接続時に電源電圧の供給を受けて前記定電流供給手段と前記バイアス電圧生成手段を起動するための電流を供給し、前記バイアス電圧生成手段がバイアス電圧を出力するのに従って電流の供給を停止する起動手段とを備える、ことを特徴とする。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0 0 1 2

【補正方法】変更

【補正内容】

【0 0 1 2】また、この発明の第 2 の観点に係るバイアス回路は、一定の電流を供給する定電流供給手段と、前記定電流供給手段から電流の供給を受けて一定のバイアス電圧を生成するバイアス電圧生成手段と、電源接続時に電源電圧の供給を受けて前記定電流供給手段と前記バイアス電圧生成手段を起動するための電流を供給し、前記バイアス電圧生成手段がバイアス電圧を出力するのに従って動作を停止する起動手段とを備える、ことを特徴とする。前記バイアス電圧生成手段は、ソースが抵抗を介して接地された N チャネル型の第 1 の MOS トランジスタと、前記第 1 の MOS トランジスタとカレントミラー接続された N チャネル型の第 2 のトランジスタを含み、前記定電流供給手段は、ゲートとドレインが前記第 1 の MOS トランジスタのドレインに接続された P チャネル型の第 3 の MOS トランジスタと、前記第 3 の MOS トランジスタとカレントミラー接続されると共に、ドレインが前記第 1 の MOS トランジスタ及び前記第 2 の MOS トランジスタのゲートと前記第 2 の MOS トランジスタのドレインに接続された P チャネル型の第 4 の MOS トランジスタを含む、ことが望ましい。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0 0 1 3

【補正方法】変更

【補正内容】

【0 0 1 3】前記起動手段は、ソースと基板が電源に接続され、ゲートが接地された P チャネル型の第 5 の MOS トランジスタと、ソースが前記第 5 の MOS トランジスタのドレインに接続され、基板が電源に接続された P チャネル型の第 6 の MOS トランジスタと、ゲートとドレインが前記第 6 の MOS トランジスタのゲートとドレインに接続され、ソースと基板が接地された N チャネル型の第 7 の MOS トランジスタと、ゲートが前記第 6 の MOS トランジスタのゲートとドレイン及び前記第 7 の MOS トランジスタのゲートとドレインに接続され、ソースが前記第 1 のトランジスタのソースと共に抵抗を介して接地され、ドレインが前記定電流供給手段と前記バ

ィアス電圧生成手段との接続部に接続された N チャネル型の第 8 の MOS トランジスタを有する、ことが望ましい。前記起動手段は、前記バイアス電圧生成手段が起動して、バイアス電圧が所定値に達すると、電流の供給を停止することが望ましい。前記バイアス電圧生成手段は、カレントミラー回路を備え、前記起動手段は、前記バイアス電圧生成手段が起動して、前記カレントミラー回路の所定点を流れる電流が所定値に達すると、電流の供給を停止することが望ましい。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0 0 1 4

【補正方法】変更

【補正内容】

【0 0 1 4】また、この発明の第 3 の観点に係るリセット回路は、電源から供給される電圧を降下させる電圧降下手段と、前記電圧降下手段が降下させた電圧を受けて電流を供給することによりバイアス回路を起動し、当該バイアス回路が起動するに従って電流の供給を停止する起動手段とを備える、バイアス回路を起動するためのものである。

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0 0 1 6

【補正方法】変更

【補正内容】

【0 0 1 6】また、前記電圧降下手段は、ソースと基板が電源に接続され、ゲートが接地された P チャネル型の第 5 の MOS トランジスタと、ソースが前記第 3 の MOS トランジスタのドレインに接続され、基板が電源に接続された P チャネル型の第 6 の MOS トランジスタとを含み、前記起動手段は、ゲートとドレインが前記第 6 の MOS トランジスタのゲートとドレインに接続され、ソースと基板が接地された N チャネル型の第 7 の MOS トランジスタと、ゲートが前記第 6 の MOS トランジスタのゲートとドレイン及び前記第 7 の MOS トランジスタのゲートとドレインに接続され、ソースが抵抗を介して接地された N チャネル型の第 8 の MOS トランジスタを含んでもよい。また、この発明の第 4 の観点に係るバイアス回路は、一定の電流を供給する定電流供給手段と、前記定電流供給手段から電流の供給を受けてバイアス電圧を生成するバイアス電圧生成手段と、電源接続時に電源電圧の供給を受けて前記定電流供給手段と前記バイアス電圧生成手段とを起動するための電流を供給し、前記バイアス電圧生成手段が出力するバイアス電圧が所定値に達すると、電流の供給を停止する起動手段とを備える、ことを特徴とする。また、この発明の第 5 の観点に係るバイアス回路は、一定電流の供給を受けてバイアス電圧を生成するバイアス電圧生成手段と、電源接続時に電源電圧の供給を受けて、前記バイアス電圧生成手段を

起動するための電流を供給し、前記バイアス電圧生成手段がバイアス電圧を出力するのに従って電流の供給を停止する起動手段とを備える、ことを特徴とする。前記起動手段は、前記バイアス電圧生成手段が出力するバイアス電圧が所定値に達すると、電流の供給を停止してもよい。前記バイアス電圧生成手段は、カレントミラー回路を備え、前記起動手段は、前記カレントミラー回路の所定点を流れる電流が所定値に達すると、電流の供給を停止してもよい。前記バイアス電圧生成手段は、ソースが抵抗を介して接地されたNチャネル型の第1のMOSトランジスタと、前記第1のMOSトランジスタとカレントミラー接続されたNチャネル型の第2のトランジスタを含み、前記定電流供給手段は、ゲートとドレインが前記第1のMOSトランジスタのドレインに接続されたPチャネル型の第3のMOSトランジスタと、前記第3のMOSトランジスタとカレントミラー接続されると共に、ドレインが前記第1のMOSトランジスタ及び前記

第2のMOSトランジスタのゲートと前記第2のMOSトランジスタのドレインに接続されたPチャネル型の第4のMOSトランジスタを含んでもよい。前記起動手段は、ソースと基板が電源に接続され、ゲートが接地されたPチャネル型の第5のMOSトランジスタと、ソースが前記第5のMOSトランジスタのドレインに接続され、基板が電源に接続されたPチャネル型の第6のMOSトランジスタと、ゲートとドレインが前記第6のMOSトランジスタのゲートとドレインに接続され、ソースと基板が接地されたNチャネル型の第7のMOSトランジスタと、ゲートが前記第6のMOSトランジスタのゲートとドレイン及び前記第7のMOSトランジスタのゲートとドレインに接続され、ソースが前記第1のトランジスタのソースと共に抵抗を介して接地され、ドレインが前記定電流供給手段と前記バイアス電圧生成手段との接続部に接続されたNチャネル型の第8のMOSトランジスタを有してもよい。

【手続補正書】

【提出日】平成12年3月13日（2000. 3. 13）

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】一定の電流を供給する定電流供給手段と、前記定電流供給手段から電流の供給を受けて一定のバイアス電圧を生成するバイアス電圧生成手段と、電源接続時に電源電圧の供給を受けて前記定電流供給手段と前記バイアス電圧生成手段を起動するための電流を供給し、前記バイアス電圧生成手段がバイアス電圧を出力するのに従って電流の供給を停止する起動手段とを備え、
前記バイアス電圧生成手段は、
ソースが抵抗を介して接地されたNチャネル型の第1のMOSトランジスタと、
前記第1のMOSトランジスタとカレントミラー接続されたNチャネル型の第2のトランジスタを含み、
前記定電流供給手段は、
ゲートとドレインが前記第1のMOSトランジスタのドレインに接続されたPチャネル型の第3のMOSトランジスタと、
前記第3のMOSトランジスタとカレントミラー接続されると共に、ドレインが前記第1のMOSトランジスタ及び前記第2のMOSトランジスタのゲートと前記第2のMOSトランジスタのドレインに接続されたPチャネル型の第4のMOSトランジスタを含み、

前記起動手段は、

ソースと基板が電源に接続され、ゲートが接地されたPチャネル型の第5のMOSトランジスタと、
ソースが前記第5のMOSトランジスタのドレインに接続され、基板が電源に接続されたPチャネル型の第6のMOSトランジスタと、
ゲートとドレインが前記第6のMOSトランジスタのゲートとドレインに接続され、ソースと基板が接地されたNチャネル型の第7のMOSトランジスタと、
ゲートが前記第6のMOSトランジスタのゲートとドレイン及び前記第7のMOSトランジスタのゲートとドレインに接続され、ソースが前記第1のトランジスタのソースと共に抵抗を介して接地され、ドレインが前記定電流供給手段と前記バイアス電圧生成手段との接続部に接続されたNチャネル型の第8のMOSトランジスタを有する、ことを特徴とするバイアス回路。

【請求項2】前記起動手段は、前記バイアス電圧生成手段が起動して、バイアス電圧が所定値に達すると、電流の供給を停止する、ことを特徴とする請求項1に記載のバイアス回路。

【請求項3】前記バイアス電圧生成手段は、カレントミラー回路を備え、
前記起動手段は、前記バイアス電圧生成手段が起動して、前記カレントミラー回路の所定点を流れる電流が所定値に達すると、電流の供給を停止する、ことを特徴とする請求項1に記載のバイアス回路。

【請求項4】電源から供給される電圧を降下させる電圧降下手段と、
前記電圧降下手段が降下させた電圧を受けて電流を供給することによりバイアス回路を起動し、当該バイアス回

路が起動するに従って電流の供給を停止する起動手段とを備え、

前記電圧降下手段は、

ソースと基板が電源に接続され、ゲートが接地されたPチャネル型の第5のMOSトランジスタと、

ソースが前記第3のMOSトランジスタのドレインに接続され、基板が電源に接続されたPチャネル型の第6のMOSトランジスタとを含み、

前記起動手段は、

ゲートとドレインが前記第6のMOSトランジスタのゲートとドレインに接続され、ソースと基板が接地されたNチャネル型の第7のMOSトランジスタと、

ゲートが前記第6のMOSトランジスタのゲートとドレイン及び前記第7のMOSトランジスタのゲートとドレインに接続され、ソースが抵抗を介して接地されたNチャネル型の第8のMOSトランジスタを含む、ことを特徴とするバイアス回路を起動するためのリセット回路。

【請求項5】一定の電流を供給する定電流供給手段と、前記定電流供給手段から電流の供給を受けてバイアス電圧を生成するバイアス電圧生成手段と、

電源接続時に電源電圧の供給を受けて前記定電流供給手段と前記バイアス電圧生成手段を起動するための電流を供給し、前記バイアス電圧生成手段が出力するバイアス電圧が所定値に達すると、電流の供給を停止する起動手段とを備え、

前記バイアス電圧生成手段は、カレントミラー回路を備え、

前記起動手段は、前記カレントミラー回路の所定点を流れる電流が所定値に達すると、電流の供給を停止し、

前記バイアス電圧生成手段は、

ソースが抵抗を介して接地されたNチャネル型の第1のMOSトランジスタと、

前記第1のMOSトランジスタとカレントミラー接続されたNチャネル型の第2のトランジスタを含み、

前記定電流供給手段は、

ゲートとドレインが前記第1のMOSトランジスタのドレインに接続されたPチャネル型の第3のMOSトランジスタと、

前記第3のMOSトランジスタとカレントミラー接続されると共に、ドレインが前記第1のMOSトランジスタ及び前記第2のMOSトランジスタのゲートと前記第2のMOSトランジスタのドレインに接続されたPチャネル型の第4のMOSトランジスタを含み、

前記起動手段は、

ソースと基板が電源に接続され、ゲートが接地されたPチャネル型の第5のMOSトランジスタと、

ソースが前記第5のMOSトランジスタのドレインに接続され、基板が電源に接続されたPチャネル型の第6のMOSトランジスタと、

ゲートとドレインが前記第6のMOSトランジスタのゲートとドレインに接続され、ソースと基板が接地されたNチャネル型の第7のMOSトランジスタと、

ゲートが前記第6のMOSトランジスタのゲートとドレイン及び前記第7のMOSトランジスタのゲートとドレインに接続され、ソースが前記第1のトランジスタのソースと共に抵抗を介して接地され、ドレインが前記定電流供給手段と前記バイアス電圧生成手段との接続部に接続されたNチャネル型の第8のMOSトランジスタを有する、ことを特徴とするバイアス回路。

フロントページの続き

(72)発明者 藤本 一樹

神奈川県川崎市中原区小杉町一丁目403番5

3 日本電気アイシーマイコンシステム株式会社内

Fターム(参考) 5H420 NA17 NB02 NB14 NB25 NB36

NC38